



## ASIGNATURA ELECTIVA

<b>DENOMINACION DE LA ASIGNATURA: Técnicas Digitales IV – Sistemas embebidos con SOC programable</b>			
<b>CARRERA EN LA QUE SE ASIENTA: Ingeniería Electrónica</b>			
<b>AREA DE CONOCIMIENTO: Electrónica</b>			
<b>BLOQUE: Tecnologías Aplicadas</b>			
Nivel	Cuatrimestre	Código	Hs. semanales
6°	11°		6

<b>Correlatividades:</b>
Para cursar:
Cursadas: Técnicas Digitales III – Medidas Electrónicas II – Electrónica Aplicada II
Aprobadas: Técnicas Digitales I – Medidas Electrónicas I – Electrónica Aplicada I
Para rendir:
Aprobada: Técnicas Digitales III
<b>Fundamentación de las correlativas escogidas:</b>
En cuanto a las Técnicas Digitales (I, II y III), esta electiva es correlativa por ser continuación de los contenidos temáticos del área completa.
En cuanto a Electrónica Aplicada I y II, Medidas Electrónicas I y II, son requisitos por tener en su contenido las bases de las aplicaciones que se desarrollarán en los trabajos prácticos.

## OBJETIVOS GENERALES Y ESPECIFICOS QUE JUSTIFIQUEN LA INCLUSION DE LA ASIGNATURA:

<p>El <b>objetivo general</b> del desarrollo de los contenidos de este programa, apunta a instruir a los alumnos en el diseño digital avanzado con técnicas y tecnologías actualizadas, mediante el uso de los recursos de hardware, software y metodología de diseño digital con lógica programable.</p> <p>Dentro de los <b>objetivos específicos</b> se espera que los alumnos puedan realizar diseños y soluciones ad hoc de alta eficiencia mediante lógica y analógica programable (CPLDs, FPGAs, FPAAs, SOCs) y con las técnicas propias del diseño de circuitos integrados específicos, sin necesidad de esperar el ciclo de fabricación y pruebas de los ASIC, y aprovechando la facilidad de reprogramación y prototipado rápido de esta tecnología, no limitando al alumno a las soluciones comerciales integradas (Off-The-Shelf) a las que puede complementar, y permitiéndole el desarrollo de propiedad intelectual (IP) en tecnología digital de punta.</p>
---

## MODALIDAD DEL DICTADO

### **Estrategia metodológica**

**Clases Teóricas:** Exposición del tema por parte del docente como aclaración sobre lectura previa del material por parte de los alumnos.

**Clases Prácticas:** Se planteará la solución de ejercicios mediante la codificación de esta en VHDL/Verilog, su simulación sobre computadora y su implementación sobre plataformas de hardware basadas en CPLDs y FPGAs disponibles en el Laboratorio de Técnicas Digitales e Informática del Departamento Ingeniería Electrónica. Se emplearán en prácticas SOCs embebidos de arquitectura paralela (multicore CPUs) y electrónica analógica programable (FPAA en PSOC).

### **Proyecto final:**

#### **Desarrollo de un proyecto mediante VHDL/Verilog implementado en CPLD, FPGA, SOC**

El objetivo final de la asignatura es el desarrollo de un proyecto a elección de cada alumno o determinado por la cátedra. Dependiendo de la complejidad de este proyecto podrá ser individual o grupal. La meta de esta última parte de la materia es que el alumno pueda desarrollar todos los conocimientos que se han adquirido durante el transcurso de la asignatura, tanto en lenguajes de descripción de hardware como en dispositivos programables, y volcarlos al desarrollo de un pequeño proyecto pasando por todas las etapas de diseño.

## EVALUACIÓN

**Criterios de evaluación:** Evaluación continua durante el curso mediante trabajos prácticos y coloquios. Realización de un pequeño proyecto final que será evaluado mediante un coloquio contra presentación del informe correspondiente.

Para **REGULARIZAR** la asignatura el alumno deberá:

- Aprobar cuatro trabajos prácticos. En caso de resultar aplazado en algún práctico, el alumno deberá rendir un recuperatorio con el tema aplazado.
- Se podrán recuperar hasta los cuatro prácticos.
- Para aprobar, el alumno deberá obtener una calificación igual o mayor a 6 (seis) puntos, de acuerdo con el nuevo régimen de calificaciones.
- Tener aprobados 3 de 4 prácticos de laboratorio antes de la última semana de clases, el restante se deberá presentar antes del proyecto final.
- Tener un 60% de asistencia de acuerdo a la nueva reglamentación
- Tener aprobado el proyecto integrador final. El proyecto podrá ser realizado en grupo de no más de cuatro estudiantes. El coloquio será individual.
- **EL PLAZO MÁXIMO PARA PRESENTAR EL PROYECTO FINAL ES EL PRIMER TURNO DE JULIO DEL AÑO ACADÉMICO EN CURSO.**

Cumplido estos términos, queda como regular y podrá inscribirse en los turnos de examen para rendir la materia en forma teórica y práctica.



Para **APROBAR** la asignatura el alumno deberá:

- Cumplir las condiciones de “ALUMNO REGULAR” anteriormente mencionadas.  
Además, deberá:
- Presentar un proyecto final utilizando lógica programable. Incorporar en un proyecto lo aprendido en la materia, junto con un valor agregado que acredite un esfuerzo extra, para lograr un resultado interesante no demostrado ya por los profesores.
- La presentación del proyecto final incluye un coloquio teórico / práctico sobre el contenido de la materia y en especial del trabajo final presentado.
- El coloquio será tomado por el profesor del curso en el cual se encuentre inscripto el estudiante.
- El proyecto podrá ser realizado en grupo de no más de dos estudiantes, el coloquio será individual.
- Tener un 75% de asistencia de acuerdo a la nueva reglamentación.
- **EL PLAZO DE MÁXIMO PARA PRESENTAR EL PROYECTO FINAL ES EL PRIMER TURNO DE JULIO DEL AÑO ACADÉMICO EN CURSO.**

## CONTENIDOS

### **UNIDAD 1. ARQUITECTURA LÓGICA PROGRAMABLE**

Circuitos integrados digitales: familias standard, full custom, celdas normalizadas, arreglos de compuertas, lógica programable. Historia del desarrollo de la lógica programable. Revisión de arquitecturas ROM, PLA, PAL y GAL. Arquitecturas CPLD y FPGA de los principales fabricantes. Recursos programables y dedicados.

Duración: 1 semana

### **UNIDAD 2. DISEÑO CON LENGUAJES DE DESCRIPCIÓN DE HARDWARE**

Flujo de diseño: Metodología Top-down y Bottom-up. Especificación funcional, herramientas de desarrollo y verificación. Síntesis, mapeo, ubicación y ruteo. Diseño síncrono. Retardos y pipelines. Análisis temporal estático. Verificación post-síntesis. Verificación formal. Lenguaje VHDL: Componentes e instanciación. Bancos de prueba.

Duración: 1 semana

### **UNIDAD 3. ENTRADA Y SALIDA EN FPGAs**

Decodificador de encoder. Salidas PWM. Control de lazo de velocidad de un motor de CC con lógica programable. Generación de salida de video VGA. Control de puertos PS/2 para teclado y ratón. UART, SPI e I2C.

Duración: 4 semanas

### **UNIDAD 4. PROCESADORES EMBEBIDOS**

Introducción al microprocesador Xilinx Picoblaze®. Máquinas de estado programables. Arquitectura interna. Conjunto de instrucciones. Puertos de interconexión. Interrupciones y entrada/salida. Herramientas y lenguaje ensamblador.

Duración: 4 semanas

### **UNIDAD 5. PROCESAMIENTO DIGITAL DE SEÑALES CON FPGA**

Representación numérica de punto fijo. Implementación de filtros IIR y FIR. Arquitecturas series y paralelas. Operaciones matriciales. Implementación de FFT.

Duración: 4 semanas



**UNIDAD 6. SISTEMAS EN CHIP (SOC: System on Chip)**

Componentes Open Source (Opencores.org). Single core y Multicore. Adapteva Paralela Board con chip Epyphany de 16-core RISC CPU + Xilinx Zynq SOC (FPGA + ARM A9 doble núcleo). Arquitectura Cypress PSOC con CPLD, ARM Cortex-M3 y FPAA. Arquitectura multicore Parallax Open Propeller One en Verilog.

Duración: 2 semanas



**CRONOGRAMA DE DESARROLLO DE ACTIVIDADES ACADÉMICAS – Propuesta 2018**

<b>Año: 2018</b>	<b>Asignatura: Técnicas Digitales IV</b>	
<b>Curso</b>	<b>Profesor</b>	<b>J.T.P. / Auxiliar</b>
6R1	Ing. Olmedo Sergio, Ing. Cayuela Pablo	

UNIDAD	TEMA	Semana Nro.															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
0	Presentación de la materia. Presentación del docente. Aclaraciones sobre el reglamento de la cátedra. Realización de una encuesta personal para conocer el nivel académico del alumno.	X															
1	ARQUITECTURA LÓGICA PROGRAMABLE: CPLD.	X															
1	ARQUITECTURA LÓGICA PROGRAMABLE: FPGA.	X															
2	DISEÑO CON LENGUAJES DE DESCRIPCIÓN DE HARDWARE: VHDL, EDA.		X														
2	Historia y evolución de los lenguajes de descripción de hardware.		X														
2	Estado del arte en VHDL. Aplicaciones actuales. Visión hacia el futuro.		X														
2	Presentación de las herramientas EDA a utilizar en el curso: entorno de desarrollo Xilinx ISE, simulador ISIM, entorno de desarrollo Xilinx Vivado.		X														



2	Generación de un proyecto con el software ISE 10 de Xilinx.		X														
2	Generación de un proyecto con el software Vivado de Xilinx.		X														
		<b>Semana Nro.</b>															
<b>UNIDAD</b>	<b>TEMA</b>	<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>	<b>5</b>	<b>6</b>	<b>7</b>	<b>8</b>	<b>9</b>	<b>10</b>	<b>11</b>	<b>12</b>	<b>13</b>	<b>14</b>	<b>15</b>	
3	<b>ENTRADA Y SALIDA EN FPGAs</b> <b>Práctico 1-a:</b> Máquina de estado decodificador de encoder, generador de señales PWM, contador ascendente/descendente con visualización en 4 displays de 7 segmentos, sobre CPLD y FPGA.			X	X												
3	<b>ENTRADA Y SALIDA EN FPGAs</b> <b>Práctico 1-b:</b> Control de lazo de velocidad de un motor de CC con lógica programable.				X	X											
3	<b>ENTRADA Y SALIDA EN FPGAs</b> <b>Práctico 2:</b> Generación de salida de video VGA. Control de puertos PS/2 para teclado y ratón sobre FPGA.					X	X										
4	<b>PROCESADORES EMBEBIDOS</b> <b>Práctico 3:</b> CPU softcore Picoblaze en FPGA. UART SPI o I2C sobre FPGA.							X	X	X	X						
5	<b>PROCESAMIENTO DIGITAL DE SEÑALES CON FPGA</b> <b>Práctico 4:</b> Implementación de filtros FIR en FPGA.										X	X	X	X			
6	<b>SISTEMAS EN CHIP (SOC: System on Chip)</b> <b>Prácticas y demostraciones:</b> Componentes Open Source (Opencores.org). Single core y Multicore. Adapteva Paralela Board con chip Epyphany de 16-core RISC CPU + Xilinx Zynq SOC (FPGA + ARM A9 doble núcleo). Arquitectura Cypress PSOC con CPLD, ARM Cortex-M3 y FPAA. Arquitectura multicore Parallax Open Propeller One en Verilog.												X	X			



1-6	<b>PROYECTO FINAL</b> Desarrollo de un proyecto mediante VHDL/Verilog implementado en CPLD, FPGA, SOC.											X	X	X	X	
-----	---	--	--	--	--	--	--	--	--	--	--	---	---	---	---	--



### Reuniones de cátedra / área Año 2018:

Reunión Nro:	Característica de la reunión	Fecha prevista
1	Ver mejoras en la evaluación del alumno y planificación de nuevos prácticos	27/03/18
2	Analizar avances del desarrollo de la materia	29/05/18

### CLASES DE CONSULTA

Los días Lunes, Martes y Miércoles , previo aviso por email para coordinar horario.  
Lugar: LTDI (al lado Depto. Ing. Electrónica) o CUDAR (PB Puerta 31 pabellón central).

### BIBLIOGRAFÍA (Consignar solo aquella que este disponible en biblioteca. De lo contrario señalar que está faltando para gestionar su compra):

1. Ubicación: 621.392 PER d  
Autor/es: Pérez, Serafín Alfonso; Soto, Enrique; Fernández, Santiago  
Título: **Diseño de Sistemas Digitales con VHDL**  
Publicación: Madrid, Thomson - Paraninfo
2. Ubicación: 629.89 GAR d  
Autor/es: García Iglesias, José M.; Pérez Iglesias, Emilio J.  
Título: **Dispositivos Lógicos Programables (PLDs): diseño práctico de aplicaciones**  
Publicación: México, Madrid, Alfaomega - Ra-Ma
3. Ubicación: CDR/17 (CD) y 621.395 BRO f (libro)  
Autor/es: Brown, Stephen; Vranesic, Zvonko  
Título: **Fundamentals of Digital Logic with VHDL design** (libro con CD)  
Publicación: México, McGraw-Hill
4. Ubicación: CDR/19 (CD) y 621.382'2 MEY d (libro)  
Autor/es: Meyer-Baese, Uwe  
Título: **Digital signal processing with field programmable gate arrays (DSP with FPGAs)**  
Publicación: Florida (USA), Springer
5. Ubicación: 621.395 UYE i  
Autor/es: Uyemura, John P.  
Título: **Introducción al diseño de sistemas digitales: un enfoque integrado**  
Publicación: México, Thomson
6. Ubicación: 621.395 LLO s  
Autor/es: Lloris Ruiz, Antonio; Prieto Espinosa, Alberto; Parrilla Roure, Luis  
Título: **Sistemas digitales**  
Publicación: Madrid, McGraw-Hill
7. Ubicación: 621.392 ASH d  
Autor/es: Ashenden, Peter J.  
Título: **The designer's guide to VHDL**  
Publicación: USA, Elsevier



8. Ubicación: CDR/16 (CD) y 621.392 PAR v (libro)

Autor/es: Pardo Carpio Fernando; Boluda Grau, José

Título: **VHDL - Lenguaje para síntesis y modelado de circuitos** (libro con CD)

Publicación: México, Alfaomega - Ra-Ma

9. Material de los autores del software y fabricantes del hardware: Xilinx, Altera, Adapteva, Cypress, Parallax.

-----  
Ing. Sergio Olmedo

-----  
Ing. Pablo Cayuela